

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-236549

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl.⁶

H 0 1 L 21/338
29/812
29/872

識別記号

庁内整理番号

7376-4M

F I

H 0 1 L 29/80
29/48

技術表示箇所

P
H

審査請求 未請求 請求項の数5 O L (全 4 頁)

(21) 出願番号 特願平7-41469

(22) 出願日 平成7年(1995)3月1日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 秋山 正博

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 山岸 長保

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 高 育竹

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 弁理士 清水 守 (外1名)

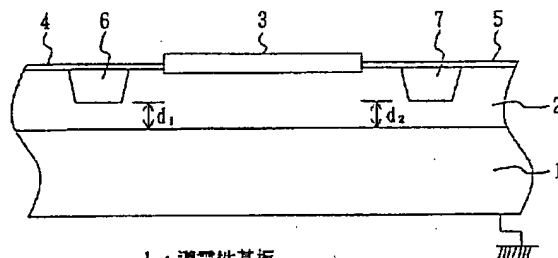
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 サージ電圧を吸収することができる機能を内蔵する半導体回路と一体化してモノシリックに集積される半導体装置を提供する。

【構成】 半導体装置において、導電性基板1と、この導電性基板1上に成長する半絶縁性結晶層2と、この半絶縁性結晶層2に形成される電子回路3と、この電子回路3に接続される入出力端子4及び電源端子5と、前記電子回路3と入出力端子4間に形成される第1の導電領域6と、前記電子回路3と電源端子5間に形成される第2の導電領域7とを設け、前記第1の導電領域6及び第2の導電領域7と前記導電性基板1間の耐圧を前記電子回路3の耐圧より低くなるようにモノシリックに集積する。



- 1 : 導電性基板
- 2 : 半絶縁性結晶層
- 3 : 電子回路
- 4 : 入力端子又は出力端子
- 5 : 電源端子
- 6, 7 : 導電領域

【特許請求の範囲】

【請求項 1】(a) 導電性基板と、(b) 該導電性基板上に成長する半絶縁性結晶層と、(c) 該半絶縁性結晶層に形成される電子回路と、(d) 該電子回路に接続される入出力端子及び電源端子と、(e) 前記電子回路と入出力端子間に形成される第 1 の導電領域と、(f) 前記電子回路と電源端子間に形成される第 2 の導電領域とを設け、(g) 前記第 1 の導電領域及び第 2 の導電領域と前記導電性基板間の耐圧を前記電子回路の耐圧より低くなるようにモノシリックに集積することを特徴とする半導体装置。

【請求項 2】(a) 導電性基板と、(b) 該導電性基板上に成長する半絶縁性結晶層と、(c) 該半絶縁性結晶層に形成される能動素子と、(d) 該能動素子に形成される少なくとも第 1 の端子及び第 2 の端子と、(e) 前記能動素子の第 1 の端子に接続される第 1 の導電領域と、(f) 前記能動素子と第 2 の端子間に形成される第 2 の導電領域とを設け、(g) 前記第 1 の導電領域及び第 2 の導電領域と前記導電性基板間の耐圧を前記能動素子の耐圧より低くなるようにモノシリックに集積することを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、前記半絶縁性結晶層の厚さをサージ電圧に対応させてなることを特徴とする半導体装置。

【請求項 4】 請求項 2 記載の半導体装置において、前記能動素子は電界効果トランジスタであり、第 1 の導電領域はソース又はドレイン、第 2 の導電領域はドレイン又はソースである半導体装置。

【請求項 5】 請求項 4 記載の半導体装置において、電界効果トランジスタはショットキゲート電界効果トランジスタである半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、エンジン・モータの制御等のサージ電圧が発生する条件下で安定に動作する半導体装置に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば、「電子技術 1991-5, P. 61~67」に開示されるものがあった。この文献に示されるように、サージ電圧が発生し、これが回路にかかるような条件下で使用される電子回路では、サージを吸収するために、サージ電圧がかかる電極と接地の間にバリスタを入れる方法が通常行われている。

【0003】その場合、バリスタは、ある電圧までは高抵抗であるが、その電圧を越える電圧が端子間に加わると低抵抗となり、サージ電圧を短絡して、回路を保護する。また、バリスタの代わりに、同様の特性を有するツェナーダイオードが用いられる場合もある。

【0004】

【発明が解決しようとする課題】しかしながら、上記した従来の方法では、安定にサージ電圧を吸収することができるが、保護すべき電子回路に外付けで、そのような素子を設けなければならず、半導体回路と一体化してモノシリックに集積回路を構成することは困難であった。

【0005】本発明は、上記問題点を除去し、サージ電圧を吸収することができる機能を内蔵する半導体回路と一体化してモノシリックに集積される半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、上記目的を達成するために、半導体装置において、

(1) 導電性基板と、この導電性基板上に成長する半絶縁性結晶層と、この半絶縁性結晶層に形成される電子回路と、この電子回路に接続される入出力端子及び電源端子と、前記電子回路と入出力端子間に形成される第 1 の導電領域と、前記電子回路と電源端子間に形成される第 2 の導電領域とを設け、前記第 1 の導電領域及び第 2 の導電領域と前記導電性基板間の耐圧を前記電子回路の耐圧より低くなるようにモノシリックに集積するようにしたものである。

【0007】(2) 導電性基板と、この導電性基板上に成長する半絶縁性結晶層と、この半絶縁性結晶層に形成される能動素子と、この能動素子に形成される少なくとも第 1 の端子及び第 2 の端子と、前記能動素子の第 1 の端子に接続される第 1 の導電領域と、前記能動素子と第 2 の端子間に形成される第 2 の導電領域とを設け、前記第 1 の導電領域及び第 2 の導電領域と前記導電性基板間の耐圧を前記能動素子の耐圧より低くなるようにモノシリックに集積するようにしたものである。

【0008】(3) 上記 (1) 又は (2) 記載の半導体装置において、前記半絶縁性結晶層の厚さをサージ電圧に対応させるようにしたものである。

(4) 上記 (2) 記載の半導体装置において、前記能動素子は電界効果トランジスタであり、第 1 の導電領域はソース又はドレイン、第 2 の導電領域はドレイン又はソースである。

【0009】(5) 上記 (4) 記載の半導体装置において、電界効果トランジスタはショットキゲート電界効果トランジスタである。

【0010】

【作用】

(1) 請求項 1 記載の半導体装置によれば、電子回路に加わるサージをチップ内で吸収し、サージの電子回路への侵入を防止するために、電子回路が破壊されず、正常に動作するだけでなく、サージの吸収回路を集積回路に外付けする必要がなく、モノシリック集積回路として構成することができる。

【0011】また、サージを吸収する導電領域と基板の距離を制御するのみで、容易に種々のサージ電圧に対応

する半導体装置を構成することができる。

(2) 請求項2記載の半導体装置によれば、集積回路を構成する能動素子自体にサージ耐性をもたせることができるため、集積回路の外部にサージ対策を施す必要がなく、モノシリックに集積化したサージ耐性を有する半導体装置を構成することができる。

【0012】

【実施例】以下、本発明の実施例を図面を参照しながら説明する。図1は本発明の第1実施例を示すサージ吸収機能を有する半導体装置の断面図である。この図に示すように、導電性基板1上に半絶縁性結晶層2を成長させ、その半絶縁性結晶層2に電子回路3を形成する。そして、入力端子又は出力端子4、電源端子5等の外部からサージが加わる端子とを設け、入力端子又は出力端子4と電子回路3の間に導電領域6、電源端子5等の外部からサージが加わる端子と電子回路3の間に導電領域7を形成して、各端子と電気的に接続する。この導電領域6又は7は、導電性の結晶で形成してもよいし、また金属で形成してもよい。

【0013】そして、導電領域6又は7と導電性基板1の耐圧の値を、それぞれの端子が接続する電子回路の耐圧よりも低くなるように、導電性基板1と導電領域6又は7との距離 d_1 又は d_2 を選ぶ。半絶縁性結晶としてGaAs、導電性基板としてn型GaAs基板を例にとると、 d_1 、 d_2 が $1\mu\text{m}$ に対して、導電領域6又は7と導電性基板1の間の耐圧は約20V程度となる。この場合、導電性基板1は基本的には接地して使用する。

【0014】この構成は、半絶縁性の結晶が得られれば、結晶材料にはよらず、また導電性基板と、その上部の結晶は同種である必要はない。さらに、電子回路を構成する素子にもよらない。このように構成した集積回路の入力端子又は出力端子4や、電源端子5等にサージが加わった場合、電子回路3の耐圧よりも、各端子に接続した導電領域6又は7と導電性基板1の耐圧の方が低いために、電子回路3が破壊又は誤動作する前に、導電領域6又は7と導電性基板1の間に電流が流れ、端子に加わったサージを吸収する。

【0015】以上、サージの吸収機能を有する集積回路の構成について説明したが、この構成により、サージ耐圧の高い集積回路を容易に実現できるので、エンジン・モータの制御等のサージが発生する部分、雑音の大きな部分等で安定に動作させることができる。図2は本発明の第2実施例を示すサージ吸収機能を有する半導体装置の断面図である。

【0016】まず、n型又はp型の導電性基板(例えば、GaAs基板、またはSi基板)11上に、膜厚 d_1 の半絶縁性結晶層(例えば、GaAs)12を成長させる。その半絶縁性結晶層12にショットキゲート電界効果トランジスタ13(以下、MESFET)を形成し、これを能動素子として集積回路を構成する。17は

ソース電極、18ゲート電極、19はドレイン電極であり、このとき、MESFET13のドレイン領域16、ソース領域14間の耐圧を V_1 とすると、ドレイン領域16と導電性基板11の間の耐圧 V_2 が、 $V_2 < V_1$

となるように、半絶縁性結晶層12の膜厚 d_1 、ドレイン領域16の深さ d_2 を形成する。そして、導電性基板11を接地した構成とする。このドレイン領域16と導電性基板11の間の耐圧 V_2 は結晶の材料によって異なるが、例としてGaAsにCr、又はV等を添加して形成した場合には、 d_1 、 d_2 の値に対して、約20V/ μm となる。

【0017】なお、MESFET13のドレイン領域16・ソース領域14間の耐圧 V_1 は回路が正常に動作する電圧より高いことは言うまでもない。このように、集積回路を構成した場合、電源線に重畳されたサージがドレイン領域16にかかると、MESFET13のドレイン・ソース間の耐圧 V_1 よりも、ドレイン領域16と導電性基板11との間の耐圧 V_2 の方が小さいために、サージ電圧が加わると、MESFET13が正常に動作しなくなる前に電流が導電性基板11に流れて、サージを吸収し、素子としてのMESFET13を破壊から保護する。なお、図2において、15はチャネル部である。

【0018】以上、サージ電圧に対して耐性を有する素子構造について述べたが、この構造により、エンジン・モータの制御等のサージの発生する部分の回路、また雑音の大きな部分で使用する回路等に安定に動作するモノシリックに集積される半導体装置を構成することができる。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0019】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(1) 請求項1記載の発明によれば、電子回路に加わるサージをチップ内で吸収し、サージの電子回路への侵入を防止するために、電子回路が破壊されず、正常に動作するだけでなく、サージの吸収回路を集積回路に外付けする必要がなく、モノシリック集積回路として構成することができる。

【0020】また、サージを吸収する導電領域と基板の距離を制御するのみで、容易に種々のサージ電圧に対応する半導体装置を構成することができる。

(2) 請求項2記載の発明によれば、集積回路を構成する能動素子自体にサージ耐性をもたせることができるため、集積回路の外部にサージ対策を施す必要がなく、モノシリックに集積化したサージ耐性を有する半導体装置を構成することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すサージ吸収機能を有

10

20

30

40

50

5

6

する半導体装置の断面図である。

【図2】本発明の第2実施例を示すサージ吸収機能を有する半導体装置の断面図である。

【符号の説明】

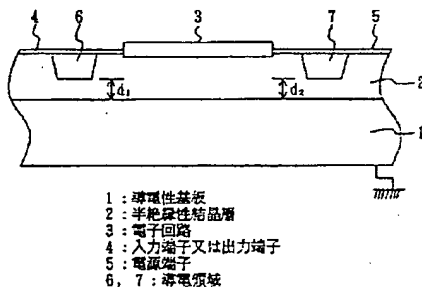
- 1, 11 導電性基板
- 2, 12 半絶縁性結晶層
- 3 電子回路
- 4 入力端子又は出力端子
- 5 電源端子

* 6, 7 導電領域

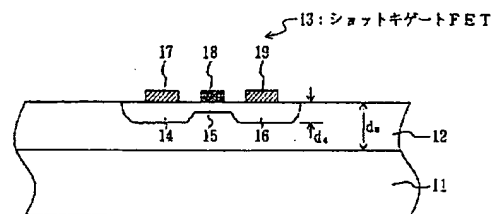
- 13 ショットキゲート電界効果トランジスタ
- 14 ソース領域
- 15 チャンネル部
- 16 ドレイン領域
- 17 ソース電極
- 18 ゲート電極
- 19 ドレイン電極

*

【図1】



【図2】



フロントページの続き

(72)発明者 上田 孝
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

The $n^+ - i - n^+$ diode according to the present invention constitutes the back-to-back type diode with an $n^+ - i - n^+$ structure in which a pair of n^+ type diffusion regions are provided on a major surface of an intrinsic semi-insulating GaAs substrate. Moreover, a trap region having a trap level which is created by exposing the i region to an electron beam is provided in the i region between the n^+ type diffusion regions. The trap level is positioned 0.2 to 0.3 eV below the conduction band in the energy band. Therefore, if the trap level is filled with electrons, the height of potential barrier between the n^+ type diffusion regions and the i region becomes 0.1 to 0.2 eV, which is sufficiently lower than about 0.6 eV that is found in the case without such trap level.

Accordingly, if a surge current (electrons) flows through the i region, initial electrons are first trapped at the trap level in the i region. Then, as the result that the trap level is filled with electrons, the energy level of the i region becomes closer to that of the n^+ type diffusion regions. Once the energy level of the i region thus becomes closer to the energy level of the n^+ type diffusion regions, the subsequent surge current easily flows from one n^+ type diffusion region into the other n^+ type diffusion region since the potential barrier has been lowered to 0.1 to 0.2 eV from about 0.6 eV, and the surge absorption capacity is increased.